

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

CLIPPEDIMAGE= JP402234134A

PAT-NO: JP402234134A

DOCUMENT-IDENTIFIER: JP 02234134 A

TITLE: ACTIVE MATRIX SUBSTRATE FOR LIQUID CRYSTAL DISPLAY DEVICE

PUBN-DATE: September 17, 1990

INVENTOR-INFORMATION:

NAME

SUMIYOSHI, KEN

SAKAMOTO, MIKIO

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP01055344

APPL-DATE: March 7, 1989

INT-CL (IPC): G02F001/136; G09F009/30

US-CL-CURRENT: 349/138, 349/124

ABSTRACT:

PURPOSE: To obtain the active matrix substrate for the liquid crystal display device which has high yield and high performance by making a high-steepness step of aluminum wiring, etc., into a smooth flat surface by a process wherein a flattening film is formed by spin coating.

CONSTITUTION: For example, a specific material is applied by spin coating, etc., to form the transparent insulation flattening film 110 by baking it.

Then a specific device layer is adhered on a glass substrate 101 with an

adhesive layer 102 and the flattening film 110 reduces the step of about $1\mu\text{m}$

formed of matrix wiring, etc., to, for example, about $0.1 - 0.2\mu\text{m}$. Further,

a step of matrix wiring, etc., is steep by photolithography, but made smooth by

the flattening film 110. Therefore, a liquid crystal orientated film 112

formed on a display electrode 111, etc., becomes flat.

Consequently, the whole

liquid crystal orientated film 112 is rubbed uniformly without spoiling a TFT

and orientated film defects are eliminated.

COPYRIGHT: (C)1990,JPO&Japio

⑫ 公開特許公報(A)

平2-234134

⑬ Int.Cl.³G 02 F 1/136
G 09 F 9/30

識別記号

5 0 0
3 3 8

庁内整理番号

7370-2H
6422-5C

⑭ 公開 平成2年(1990)9月17日

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 液晶表示装置用アクティブマトリクス基板

⑯ 特 願 平1-55344

⑰ 出 願 平1(1989)3月7日

⑱ 発 明 者 住 吉 研 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑲ 発 明 者 坂 本 幹 雄 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
 ㉑ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

液晶表示装置用アクティブマトリクス基板

特許請求の範囲

絶縁性基板上に、マトリクス状に形成され薄膜半導体アクティブ素子、該アクティブ素子を通じ信号を制御、印加するためのマトリクス配線、前記アクティブ素子および前記マトリクス配線を覆い前記絶縁性基板上に形成された透明の絶縁性平坦化膜、該絶縁性平坦化膜上に形成された表示電極とから少なくとも構成された事の特徴とする液晶表示装置用アクティブマトリクス基板。

発明の詳細な説明

(産業上の利用分野)

本発明は、薄膜半導体を用いたアクティブ素子を有する液晶表示装置用アクティブマトリクス基板に関する。

(従来の技術)

近年、薄膜トランジスタ(TFT)や薄膜ダイオード(TFD)等の薄膜半導体を用いたアクティブ素子を各画素毎に設け、高画質化を狙ったアクティブマトリクス液晶表示装置の開発が活発である。この様な液晶表示装置は、液晶を2枚の基板ではさんだ構造で、一方は前記アクティブ素子をマトリクス状に形成したアクティブマトリクス基板、他方は例えばガラス基板上全面に透明電極を形成してなる対向基板から構成されている。液晶としては通常コントラストの高くとれるTN型が多く用いられるため、アクティブ素子形成用基板もガラス等の透明基板を利用した透過型液晶表示装置が開発されている。

アクティブ素子のチャネル領域となる薄膜半導体材料としては、主にアモルファスシリコン(a-Si)やポリシリコン(poly-Si)が使用されている。a-Siは、低温で膜形成が可能な事から安価なガラス基板を使用でき、最近の多くのポケット型液晶テレビ等に応用されている。

poly-Siは、a-Siより移動度が大きく、また単結晶シリコン、a-Siに比べ極端に光感度が鈍く、つまり光に対し非常に安定な、高性能アクティブ素子を実現できる。このため次期高精細液晶表示装置等への適用が期待されているが、まだ安価なガラス基板が使える程の低温で、簡便に大面積形成が可能な技術が熟成していないのが現状である。

poly-Siアクティブ素子を形成する方法として通常のシリコンICやLSIプロセス中の高温Poly-Siプロセスを利用する方法がある。ただし基板材料としては、この様な高温プロセスに耐える石英や単結晶シリコン基板が必要である。この中で後者の単結晶シリコン基板を用い、光入射が無くかつ高速、高性能が要求される周辺駆動回路を単結晶シリコントランジスタ回路で形成し、光入射のあるアクティブ素子部をpoly-Si TFTで形成し、アクティブマトリクス基板とする方法が例えば特願昭61-246653「アクティブマトリクス液晶表示装置お

よびその製造方法」の明細中に述べられている。この発明によれば、第2図に示す様に例えば透明ガラス基板201上にエボキシまたはポリイミド等の透明な接層202によりアクティブ素子が形成されたデバイス層を接着し、アクティブマトリクス基板を構成している。

デバイス層の詳細は以下の通りである。第2図には示されていないが、単結晶シリコン基板上に、通常のシリコンIC、LSIプロセスを用い例えば二酸化シリコンからなる熱酸化絶縁膜203上に島状のpoly-Si半導体層204をマトリクス状に配列形成した後、ゲート絶縁膜205、ゲート電極206を順次パターン形成する。次にイオン注入等によりソース、ドレイン領域をpoly-Si半導体層中に形成した後、配線分離用絶縁膜207を形成、コンタクトホールをあけ、アルミ配線で信号配線用のドレイン配線208、ソースコンタクト209をパターン形成し、TFTとする。表示電極210はITOからなる透明電極で、ソースコンタクト209と接続

される。この場合、特にソースコンタクトは無くてもかまわないが、500人程度の表示電極210だけでは通常3000人以上のコンタクトホールを通してソース領域との接続の信頼性が無くなるので、ソースコンタクトは有る方がよい。最後に、この単結晶シリコン基板を裏面から選択ポリッシングにより熱酸化絶縁膜203まで研磨し、薄膜のデバイス層としている。周辺駆動回路まで含めたアクティブマトリクス基板の模式的平面図を第3図に示す。例えばゲート電極206を水平配線、ドレイン配線208を垂直配線とするマトリクス配線とpoly-Si TFT303および表示電極210で各々分離された画素とから形成されたアクティブマトリクス素子部の周囲に、周辺駆動回路である例えば単結晶シリコントランジスタで構成された走査駆動回路301、信号駆動回路302が設置されている。以上の様にして形成されたアクティブマトリクス基板上に液晶配向膜211（第2図参照）を少なくとも表示電極210上全面に形成し、ITOからなる透明性対

向電極212が透明ガラス基板201全面に形成された対向基板とでTN型液晶213をはさむ事により液晶表示装置が完成される（第2図）。

〔発明が解決しようとする課題〕

ところで液晶配向膜211を形成する方法として何種類があるがその中で最近では、製造が非常に容易なラビング法が用いられている。これは、液晶配向膜として例えばポリイミド等の有機膜を印刷等でパターン形成した後、液晶分子が一方方向に配列する様に、布等の表面の植毛で有機膜を摩擦する方法である。この方法により、第2図に示した様にアクティブマトリクス基板上に形成した有機膜をラビングで液晶配向膜211とする場合、アルミ配線等の段差により全域にわたり均一な配向が得られない。特に、段差部、つまり表示電極210の周辺部で顕著となる。例えばアルミ配線の膜厚による段差は、通常1μm以上となり顕著な場合、ラビングされるのはほとんどアルミ配線上で、ラビングしたい表示電極210上は無配向となってしまう。また表示電極210上を良

好な配向膜とするため摩擦力を強くしたりすると、TFTに損傷を与えかねない。以上の様に従来例においては、液晶配向膜211形成のラビング時において配向膜不良をおこしたり、またTFTに損傷を与えたりする歩留りの悪い構造であった。以上の課題は、石英基板上に直接poly-SiTFTを形成したアクティブマトリクス基板においても同様である。

本発明の目的は、この様な従来の欠点を取り除き、高歩留りで高性能な液晶表示装置用アクティブマトリクス基板を提供する事にある。

〔課題を解決するための手段〕

上記目的を達成するためには、本発明の液晶表示装置用アクティブマトリクス基板は、絶縁性基板上に、マトリクス状に形成され薄膜半導体アクティブ素子、該アクティブ素子を通じ信号を制御、印加するためのマトリクス配線、前記アクティブ素子および前記マトリクス配線を覆い前記絶縁性基板上に形成された透明の絶縁性平坦化膜、該絶縁性平坦化膜上に形成された表示電極とから

少なくとも構成されたものである。

〔実施例〕

以下本発明の一実施例について図面を参照して説明する。

第1図は、本発明の一実施例を説明するための液晶表示装置用アクティブマトリクス基板の断面図である。第1図において、例えば保持基板として安価な透明ガラス基板101を用い、この上に接着層102を介してpoly-SiTFTからなるマトリクス状に配列されたアクティブ素子を有する薄膜のデバイス層が設置されている構造は前に述べた従来例と同様である。また接着層102も従来例同様例えばエポキシ系あるいはポリイミド系の透明性接着材である。

以下デバイス層について詳細に説明する。図示されていないが単結晶シリコン基板上に熱酸化法やCVD法等により二酸化シリコンの絶縁膜103を形成する。厚さは特に限定は無いが後で述べるデバイス層を形成するための研磨精度から1000Å以上が望ましい。この絶縁膜103上

に例えばCVD法によりpoly-Si半導体層104を蒸着、マトリクス状の各画素毎のTFTチャネル領域となる様に島状にパターン化する。続いてpoly-Si半導体層104上に例えば熱酸化による二酸化シリコンからなるゲート絶縁膜105、poly-Siゲート電極106を通常のシリコンICのMOSFETと同等なプロセスで順次形成、パターン化する。poly-Siゲート電極106は、そのままマトリクス配線の例えば水平配線を形成し、poly-SiTFTの開閉制御を行なう。poly-Si半導体層104にソース、ドレイン領域を形成する例えばイオン注入を行なった後、ゲート電極106と後のアルミ配線を分離する配線分離用絶縁膜107を形成し、ソース、ドレイン領域にコンタクトホールをあける。次いで、厚さ1μm程度にアルミニウムを全面蒸着後、信号印加配線となるドレイン配線108およびソースコンタクト109にパターン化する。ドレイン配線108は例えば垂直配線を形成しゲート電極106の水平配線とでマ

トリクス配線を構成する。その後、少なくともマトリクス状に配列されたpoly-SiTFTを含む前記マトリクス配線で囲まれた領域全面に、例えば二酸化シリコン系塗膜材料（商品名 東京化成製OCD）あるいはアクリル系樹脂塗膜材料（商品名 日本合成ゴム製JSS-451）等を1μm～2μm程度スピンコート等で塗布し焼成する事により透明の絶縁性平坦化膜110を形成する。次に、マトリクス状に配列された全てのpoly-SiTFTのソースコンタクト109上の前記平坦化膜110にフォトリソグラフィによりコンタクトホールを形成し、各々のソースコンタクト109と接続され各画素に分離された例えばITOからなる透明の表示電極111を設置する。この時表示電極111は、例えば500Å～1000Åの薄膜であるため、例えばコンタクトホール部の段差が0.5μm～1μmとなる様な平坦化膜110形成条件である場合は、エッチバック等により段差低減が望ましい。最後に、従来例で述べた様に選択ポリッシングを用い、単結

晶シリコン基板を裏面より研磨し、デバイス層が完成する。平坦化膜110、表示電極111は、単結晶シリコン基板研磨後のアクティブマトリクス基板上に形成する方法でもかまわない。

以上の様にして形成されたデバイス層を接着層102を介してガラス基板101に接着した本実施例のアクティブマトリクス基板においては、平坦化膜110によって、マトリクス配線等による1 μ m程度の段差が例えば0.1 \sim 0.2 μ m程度に軽減される。またマトリクス配線等による段差はフォトリソグラフィにより急峻であるが、平坦化膜110ではなめらかな段差の構造となっている。したがって表示電極上等に形成された液晶配向膜112も平坦となり、TFTを損なくことなく液晶配向膜全体が一様にラビングでき、配向膜不良は生じない。

尚、本実施例では、周辺駆動回路を単結晶シリコン基板上に構成するのは第3図に示す従来例と同じで、平坦化プロセスは共用も可能である。また、本実施例では、単結晶シリコン基板上に

poly-Si TFTを形成するアクティブマトリクス基板について説明したが、従来例で述べた石英基板上に直接poly-Si TFTを形成する場合でもさらにa-Si TFTやTFD等のアクティブマトリクス基板においても本発明は適用できる。

〔発明の効果〕

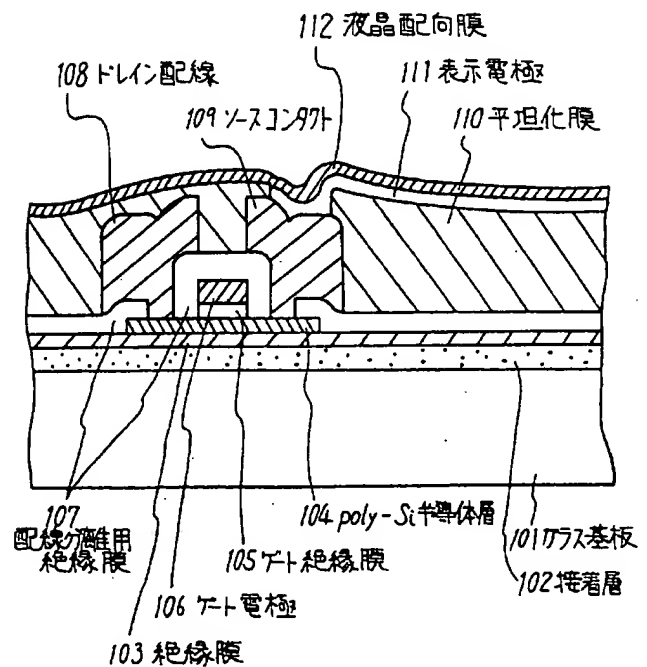
以上説明した様に、本発明の液晶表示装置用アクティブマトリクス基板によれば、平坦化膜111のスピンコートという簡単なプロセスにより、アルミ配線等による急峻な高い段差をなめらかに平坦な表面とすることができ、ラビングにより表示電極部上においてもムラの無い良好な液晶配向膜112が形成され、良好な液晶表示を可能とする。また摩擦力の強いラビングは不必要であり、ラビング時におけるアルミ配線やTFT部へのダメージが少なく欠陥の無い高歩留りな構造となっている。

図面の簡単な説明

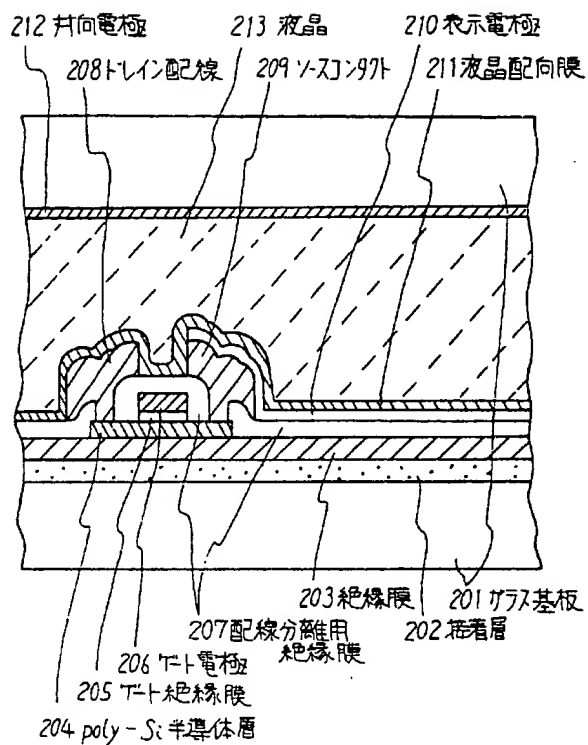
第1図は本発明の一実施例を説明するための液晶表示装置用アクティブマトリクス基板の断面図、第2図は従来を説明するためのアクティブマトリクス液晶表示装置の断面図、第3図は本発明および従来例を説明するための液晶表示装置用アクティブマトリクス基板の模式的平面図である。

101、201…ガラス基板、102、202…接着層、103、203…絶縁膜、104、204…poly-Si半導体層、105、205…ゲート絶縁膜、106、206…ゲート電極、107、207…配線分離用絶縁膜、108、208…ドレイン配線、109、209…ソースコンタクト、110…平坦化膜、111、210…表示電極、112、211…液晶配向膜、212…対向電極、213…液晶、301…走査駆動回路、302…信号駆動回路。

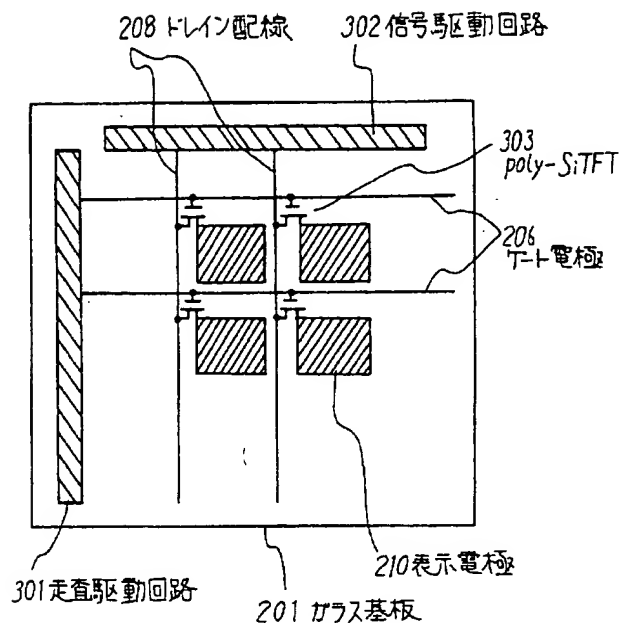
代理人 弁理士 内 原 晋



第 1 図



第 2 図



第 3 図